

RTX-SP3S400 开发板

用户手册 Ver 0.1

修订历史

版本	修订人	修订日期	修订内容
0.1		2005年4月20日	初始版本

目录

前言：关于用户手册的说明.....	4
1. 简介	4
1.1. 主要的器件和特性	4
1.2. 支持的功能扩展板	5
2. 板子的框图和视图.....	6
3. 扩展口接口定义.....	6
2 USB2.0 接口.....	8
4. 高速，异步 SRAM.....	8
5. USB2.0 芯片接口	11
6. 编程和调试接口.....	12
7. 时钟源.....	13
8. 电源方案.....	14
9. 复位电路.....	15
附录 A：原理图	16

前言：关于用户手册的说明

本手册中描述了 RTX-SP3S400 开发板的设计原理和使用方法，作为开发板的配套材料。

1. 简介

这套开发板主要是面向 FPGA 的设计人员，或者对 FPGA 开发感兴趣的爱好者。所以，设计本着简单实用，扩展性好的原则，特别适合个人学习。也可以作为产品开发的原型验证板或者 IC 前端设计验证板。我们也希望大家在这套板上开发出有创意的产品。

1.1. 主要的器件和特性

- **40 万门 Xilinx Spartan-3 系列 FPGA**
采用 PQ208 表贴封装（XC3S400-4）。

芯片特性	XC3S400-4
System Gate	400K
Logic Cells	8064
CLBs	896
Distributed RAM(bits)	56K
Bilock RAM(bits)	288K
Dedicated Multipliers	16(18bitX18bit)
DCMs	4
Maximum User I/Os pins	141

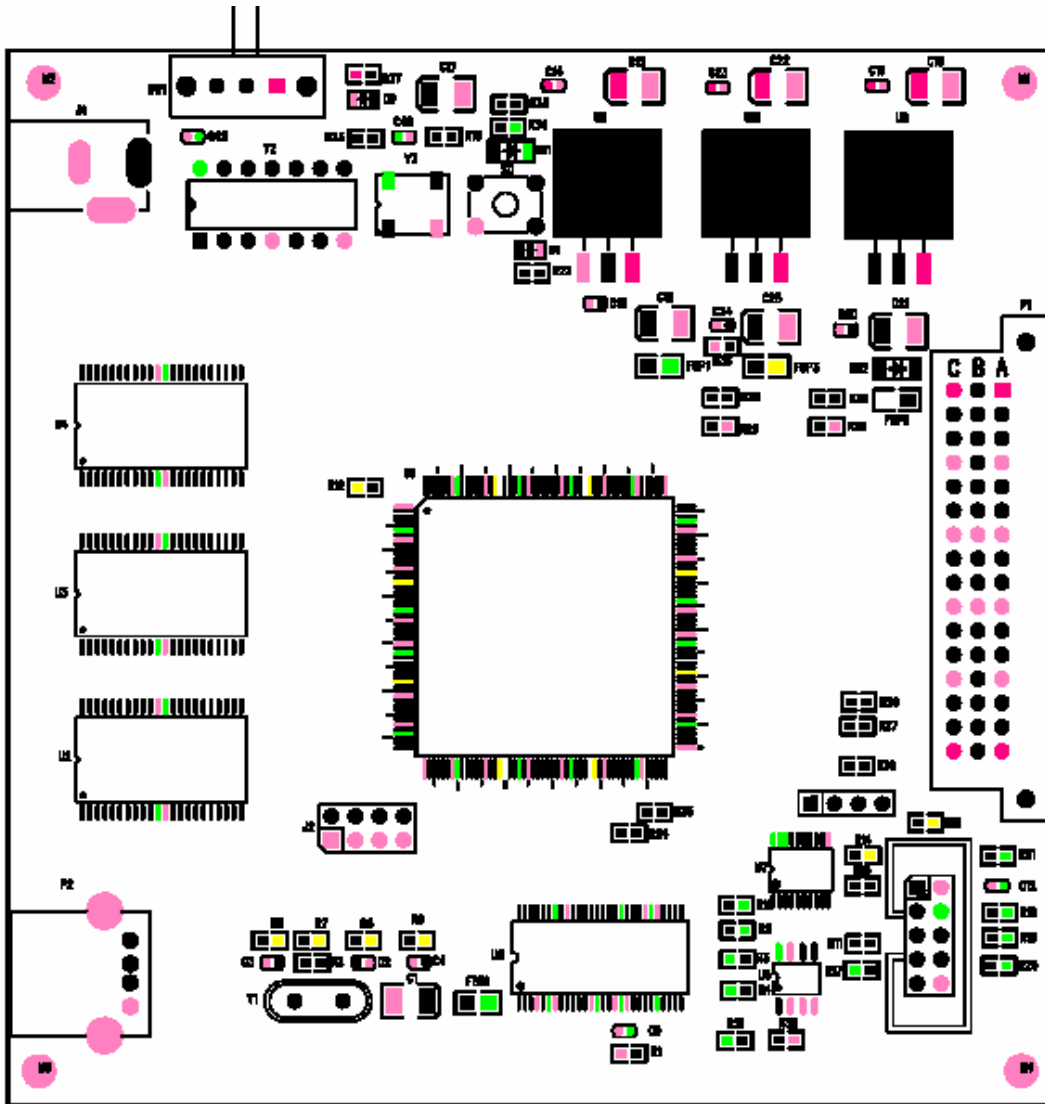
注：器件中，-4 是速度等级，越大速度越快，注意与 Altera FPGA 定义相区别

- **支持 XCF02S 和 XCF08P**
其中 XCF02S 是串行配置，XCF08P 是并行配置。
- **192K Byte 高速，异步 SRAM**
3 片 64K×16Bit 的 ASRAM，独立的字节使能信号
- **USB2.0 高速数据接口**
采用了应用广泛，性能稳定的 Cypress 公司 CY68013 芯片实现了 USB 接口的扩展，能够与计算机之间实现高速的数据传递；
- **功能扩展接口**
通过相应的扩展板，可以实现 VGA、LED、LCD、键盘、按键和 7 段数码管等应用。用户也可以开发自己定义的接口板。

1.2. 支持的功能扩展板

- 音视频采集板 (RCE-AV)
包括一个 Video Decoder (SAA7114), 音频的 Codec TL320AIC23 来完成音视频的采集。
- 网络接口扩展板 (RCE-NET)
通过扩展总线实现一个 10M/100M 的 PHY/MAC, 实现以太网通信实验; 也可以单独评估 MAC 的性能。
- 多种格式 VGA 输入 VGA ADC 采集板
通过 VGA ADC 采集板接收 800X600, 640X480, 1024X768 等大小的 VGA 图象数据
- VGA ADC 板
VGA ADC 板显示 800X600, 640X480, 1024X768 等大小的 VGA 图象数据

2. 板子的框图和视图



板子顶层丝印

3. 扩展口接口定义

- 说明：扩展口可以接（XX 型号的）扩展板。下表中器件引脚中 P1_A2，P1 是器件，A2 是 P1 器件的引脚。
- 注意：输入输出都是器件本身的输入输出。如 FPGA_CLK_OUT 是 IN，但连到 FPGA 的引脚，FPGA 引脚就是 OUT。以下所有的定义都是器件本身的输入输出。
- 管脚映射

器件引脚	信号名称	输入输出	FPGA 对应管脚号
P1_A2	GPIO0	INOUT	Pin152

P1_A3	GPIO1	INOUT	Pin148
P1_A5	GPIO2	INOUT	Pin143
P1_A6	GPIO3	INOUT	Pin139
P1_A8	GPIO4	INOUT	Pin137
P1_A9	GPIO5	INOUT	Pin135
P1_A11	GPIO6	INOUT	Pin131
P1_A12	GPIO7	INOUT	Pin126
P1_A14	GPIO8	INOUT	Pin123
P1_A15	GPIO9	INOUT	Pin120
P1_B1	GPIO10	INOUT	Pin156
P1_B2	GPIO11	INOUT	Pin154
P1_B3	GPIO12	INOUT	Pin149
P1_B4	GPIO13	INOUT	Pin147
P1_B5	GPIO14	INOUT	Pin144
P1_B6	GPIO15	INOUT	Pin140
P1_B8	EXT_CLK_P	OUT	Pin181
P1_B9	NU	—	—
P1_B11	GPIO16	INOUT	Pin133
P1_B12	GPIO17	INOUT	Pin130
P1_B13	GPIO18	INOUT	Pin125
P1_B14	GPIO19	INOUT	Pin124
P1_B15	GPIO20	INOUT	Pin122
P1_B16	GPIO21	INOUT	Pin119
P2_C2	GPIO22	INOUT	Pin155
P2_C3	GPIO23	INOUT	Pin150
P2_C5	GPIO24	INOUT	Pin146
P2_C6	GPIO25	INOUT	Pin141
P2_C8	FPGA_CLK_OUT	IN	Pin138
P2_C9	NU	—	—
P2_C11	GPIO26	INOUT	Pin132
P2_C12	GPIO27	INOUT	Pin128
P2_C15	GPIO28/FIFOADR0	INOUT/OUT	Pin101
P2_C16	GPIO29/USB_WU2	INOUT/ OUT	Pin102

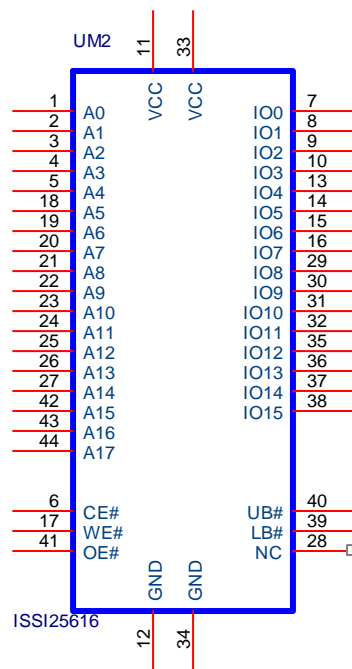
2 USB2.0 接口

- 说明
- 管脚映射

器件引脚	信号名称	器件 U5 对应管脚号
P2-3	USB_D+	Pin 5
P2-2	USB_D-	Pin 6

4. 高速，异步 SRAM

- 原理框图



- 说明

采用 ISSI 公司的高速异步 SRAM，容量为 $64K \times 16\text{Bit}$ ，可以升级到 $256K \times 16\text{Bit}$ 。字节使能信号独立，可以对每一个 Byte 操作。

- 管脚连接
- X 是 2、3 和 4；说明 U2、U3 和 U4 的地址线是相连接的。
- 地址信号

SRAM 管脚名称	信号名称	输入输出	FPGA 对应管脚号
UXA0	SRAM_A0	IN	Pin71
UXA1	SRAM_A1	IN	Pin68
UX_A2	SRAM_A2	IN	Pin67

UX_A3	SRAM_A3	IN	Pin65
UX_A4	SRAM_A4	IN	Pin64
UX_A5	SRAM_A5	IN	Pin51
UX_A6	SRAM_A6	IN	Pin50
UX_A7	SRAM_A7	IN	Pin2
UX_A8	SRAM_A8	IN	Pin204
UX_A9	SRAM_A9	IN	Pin205
UX_A10	SRAM_A10	IN	Pin185
UX_A11	SRAM_A11	IN	Pin187
UX_A12	SRAM_A12	IN	Pin189
UX_A13	SRAM_A13	IN	Pin182
UX_A14	SRAM_A14	IN	Pin178
UX_A15	SRAM_A15	IN	Pin42
UX_A16	SRAM_A16	IN	Pin43
UX_A17	SRAM_A17	IN	Pin44

数据信号

SRAM 信号名称	信号名称	输入输出	FPGA 对应管脚号
U2_sram_db[0]	SRAM_D0	INOUT	Pin45
U2_sram_db[1]	SRAM_D1	INOUT	Pin46
U2_sram_db[2]	SRAM_D2	INOUT	Pin48
U2_sram_db[3]	SRAM_D3	INOUT	Pin62
U2_sram_db[4]	SRAM_D4	INOUT	Pin61
U2_sram_db[5]	SRAM_D5	INOUT	Pin58
U2_sram_db[6]	SRAM_D6	INOUT	Pin57
U2_sram_db[7]	SRAM_D7	INOUT	Pin52
U2_sram_db[8]	SRAM_D8	INOUT	Pin31
U2_sram_db[9]	SRAM_D9	INOUT	Pin33
U2_sram_db[10]	SRAM_D10	INOUT	Pin34
U2_sram_db[11]	SRAM_D11	INOUT	Pin35
U2_sram_db[12]	SRAM_D12	INOUT	Pin36
U2_sram_db[13]	SRAM_D13	INOUT	Pin37
U2_sram_db[14]	SRAM_D14	INOUT	Pin39
U2_sram_db[15]	SRAM_D15	INOUT	Pin29
U3_sram_db[0]	SRAM_D16	INOUT	Pin16
U3_sram_db[1]	SRAM_D17	INOUT	Pin18

U3_sram_db[2]	SRAM_D18	INOUT	Pin19
U3_sram_db[3]	SRAM_D19	INOUT	Pin20
U3_sram_db[4]	SRAM_D20	INOUT	Pin21
U3_sram_db[5]	SRAM_D21	INOUT	Pin22
U3_sram_db[6]	SRAM_D22	INOUT	Pin24
U3_sram_db[7]	SRAM_D23	INOUT	Pin26
U3_sram_db[8]	SRAM_D24	INOUT	Pin10
U3_sram_db[9]	SRAM_D25	INOUT	Pin11
U3_sram_db[10]	SRAM_D26	INOUT	Pin12
U3_sram_db[11]	SRAM_D27	INOUT	Pin13
U3_sram_db[12]	SRAM_D28	INOUT	Pin15
U3_sram_db[13]	SRAM_D29	INOUT	Pin9
U3_sram_db[14]	SRAM_D30	INOUT	Pin7
U3_sram_db[15]	SRAM_D31	INOUT	Pin5
U4_sram_db[0]	SRAM_D32	INOUT	Pin190
U4_sram_db[1]	SRAM_D33	INOUT	Pin191
U4_sram_db[2]	SRAM_D34	INOUT	Pin194
U4_sram_db[3]	SRAM_D35	INOUT	Pin196
U4_sram_db[4]	SRAM_D36	INOUT	Pin197
U4_sram_db[5]	SRAM_D37	INOUT	Pin198
U4_sram_db[6]	SRAM_D38	INOUT	Pin199
U4_sram_db[7]	SRAM_D39	INOUT	Pin200
U4_sram_db[8]	SRAM_D40	INOUT	Pin176
U4_sram_db[9]	SRAM_D41	INOUT	Pin175
U4_sram_db[10]	SRAM_D42	INOUT	Pin172
U4_sram_db[11]	SRAM_D43	INOUT	Pin171
U4_sram_db[12]	SRAM_D44	INOUT	Pin169
U4_sram_db[13]	SRAM_D45	INOUT	Pin168
U4_sram_db[14]	SRAM_D46	INOUT	Pin167
U4_sram_db[15]	SRAM_D47	INOUT	Pin166

控制信号

注：X 是 2、3 和 4 即 U2、U3 和 U4 的对应的引脚连接在一起

SRAM 信号名称	信号名称	输入输出	FPGA 对应管脚号
UX_CE#	\SRAM_CS	IN	Pin63
UX_OE#	\SRAM_RD	IN	Pin40

UX_WE#	\SRAM_WR	IN	Pin203
U2_BE0	\SRAM_BE0	IN	Pin28
U2_BE1	\SRAM_BE1	IN	Pin27
U3_BE0	\SRAM_BE2	IN	Pin4
U3_BE1	\SRAM_BE3	IN	Pin3
U3_BE0	\SRAM_BE4	IN	Pin165
U3_BE1	\SRAM_BE5	IN	Pin162

5. USB2.0 芯片接口

- 说明
- 管脚映射

数据信号

CY7C18013 管脚名称	信号名称	输入输出	FPGA 对应管脚号
PB/FD0	UD0	INOUT	Pin80
PB/FD1	UD1	INOUT	Pin81
PB/FD2	UD2	INOUT	Pin85
PB/FD3	UD3	INOUT	Pin86
PB/FD4	UD4	INOUT	Pin117
PB/FD5	UD5	INOUT	Pin116
PB/FD6	UD6	INOUT	Pin115
PB/FD7	UD7	INOUT	Pin114
PB/FD8	UD8	INOUT	Pin95
PB/FD9	UD9	INOUT	Pin94
PB/FD10	UD10	INOUT	Pin93
PB/FD11	UD11	INOUT	Pin90
PB/FD12	UD12	INOUT	Pin87
PB/FD13	UD13	INOUT	Pin72
PB/FD14	UD14	INOUT	Pin74
PB/FD15	UD15	INOUT	Pin76

控制信号

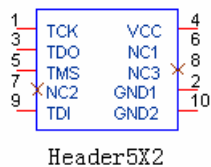
CY7C18013 管脚名称	FPGA 对应管脚号
RDY0/SLRD#	Pin77
RDY1/SLWR#	Pin78
CTL0/FLAGA#	Pin113

CTL1/FLAGB#	Pin111
CTL2/FLAGC#	Pin109
PA0/INT0#	Pin108
PA1/INT1#	Pin107
PA2/SLOE	Pin106
PA3/WU2	Pin102
PA4/FIFOADR0	Pin101
PA5/FIFOADR1	Pin100
PA6/PKTEND	Pin97
IFCLK	Pin79
FLAGD#	Pin96

说明：红色的信号是与 **GPIO29**、**GPIO28** 复用的。

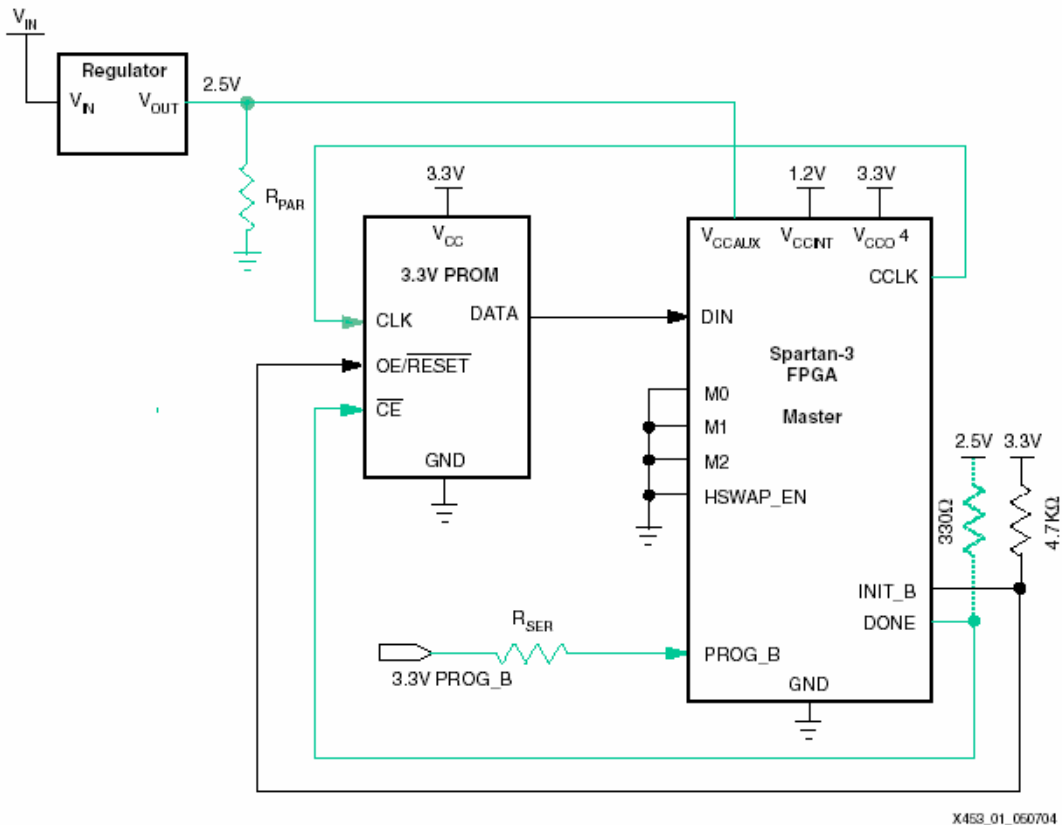
6. 编程和调试接口

● JTAG 接口



JTAG 接口可以用来调试 FPGA，下载速度比较快，也用来编程 **XCF02S** 芯片。建议调试阶段采用 JTAG 模式。

配置 FPGA 和配置 **XCF02S** 的应该选择跳线 M0、M1 和 M2；以及 J1。
Fpga 和 **XCF02S** 如下图。



其中 JTAG 的 CONFIG_TMS 和 CONFIG_TMS 都接到 PROM 和 FPGA, JTAG 的 CONFIG_TDO 接到 FPGA 的 TDO 引脚; , PROM 的 TDO 接到 FPGA 的 TDI; JTAG 的 CONFIG_TDI 选择接到 PROM 还是 FPGA (根据下载器件 (PROM 或 FPGA) 选择不同)。

配置方式选择

Configuration Mode ⁽¹⁾	M0	M1	M2	Synchronizing Clock	Data Width	Serial DOUT ⁽²⁾
Master Serial	0	0	0	CCLK Output	1	Yes
Slave Serial	1	1	1	CCLK Input	1	Yes
Master Parallel	1	1	0	CCLK Output	8	No
Slave Parallel	0	1	1	CCLK Input	8	No
JTAG	1	0	1	TCK Input	1	No

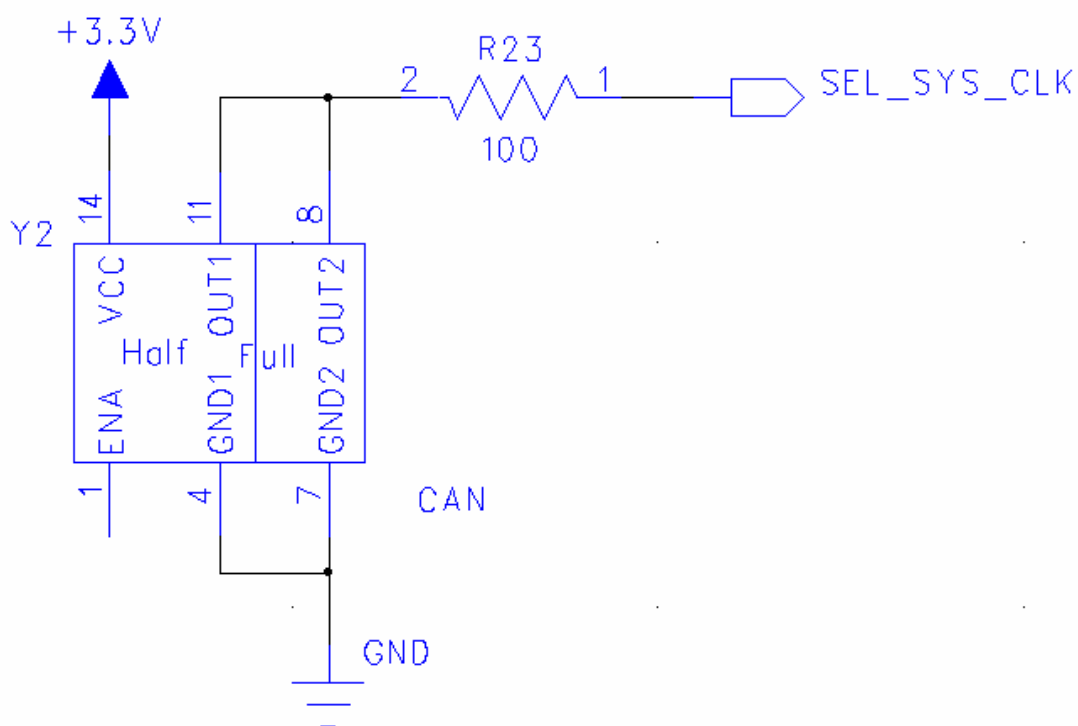
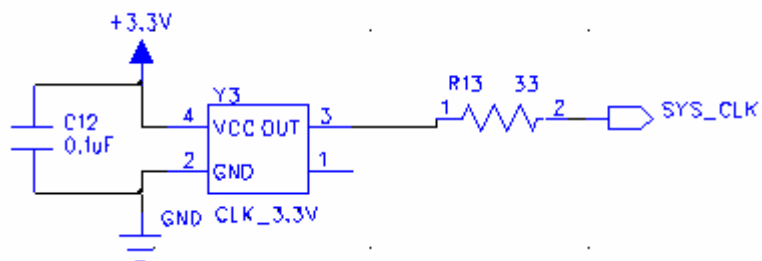
配置方式	配置器件	M0	M1	M2	JP1
JTAG	FPGA	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/>
	FPGA PROM	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/> <input checked="" type="checkbox"/>
Master Serial	PROM 配置 FPGA	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	<input checked="" type="checkbox"/>	NA

连接; 断开

关于如何配置 FPGA 和 PROM 见 Xilinx ISE 的使用手册。

7. 时钟源

- 原理图



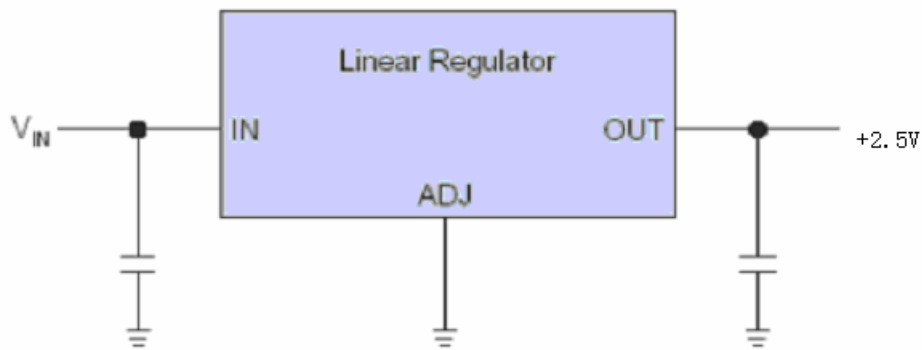
- FPGA 管脚映射

时钟源	FPGA 对应管脚
50. 000MHz	Pin 183

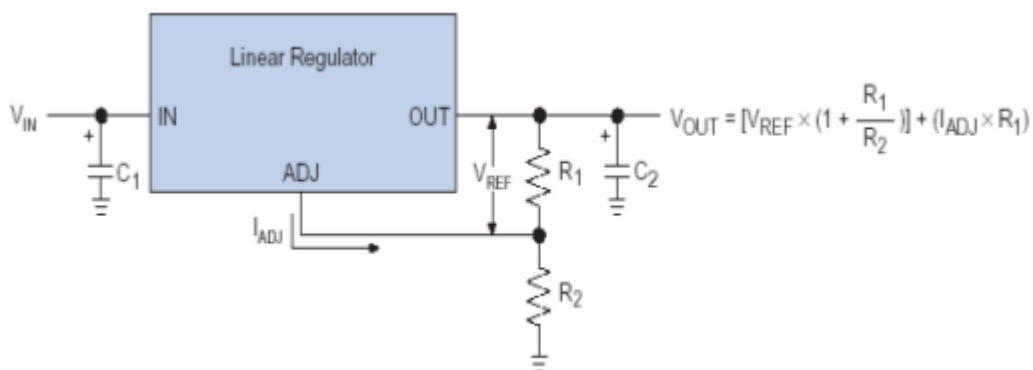
:

8. 电源方案

采用线性电源模块 (LDO) 优点是电路简单, 但是散热是问题, 适合的芯片为 AS2830, 保证最大输出电流大于 2A 即可。



如果采用固定输出电压芯片，那么选择的范围就缩小了，只有 AS2830，等个别芯片提供 2.5V 的输出，但是都具有可调电压的型号。电路连接如下：

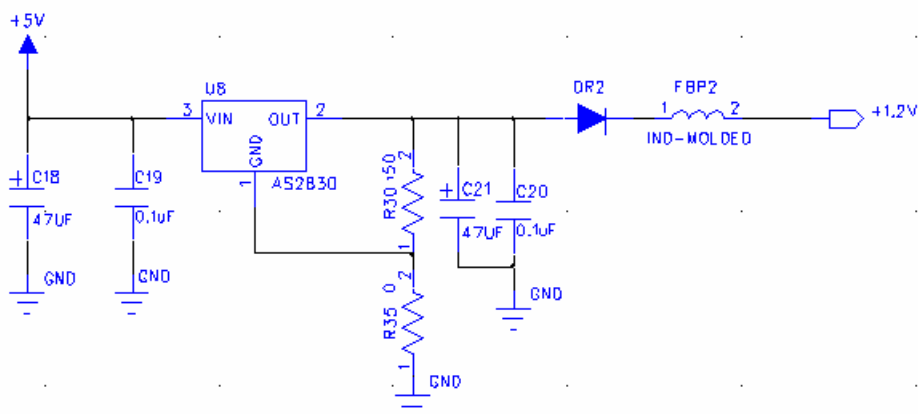


V_{REF} 一般是 1.25V, $I_{adj} \times R1$ 可以忽略。假定输入 V_{in} 为 5V, V_{out} 为 1.5V, 那么 $R1/R2=1/5$, 而 $R1$ 一般要求 100~150 欧, 那么可以选 $R1=100$ 欧, $R2=500$ 欧。

如果采用了固定电平输出的芯片, 只需要把 $R2$ 焊 0 欧, $R1$ 不焊即可。

FPGA 需要 1.2V 的核电压, 这个 MAX 电压是 1.34V, 采用 1.25V 代替 1.2V。 $R1=150$, $R2=0$; DR2 目的是把 1.25V 降到 1.2V 附近, 实际试验把 DR2 短接即可。

板上的电源部分采用了这种方式: 其中 AS2B30 是可调电源系列。



9. 复位电路

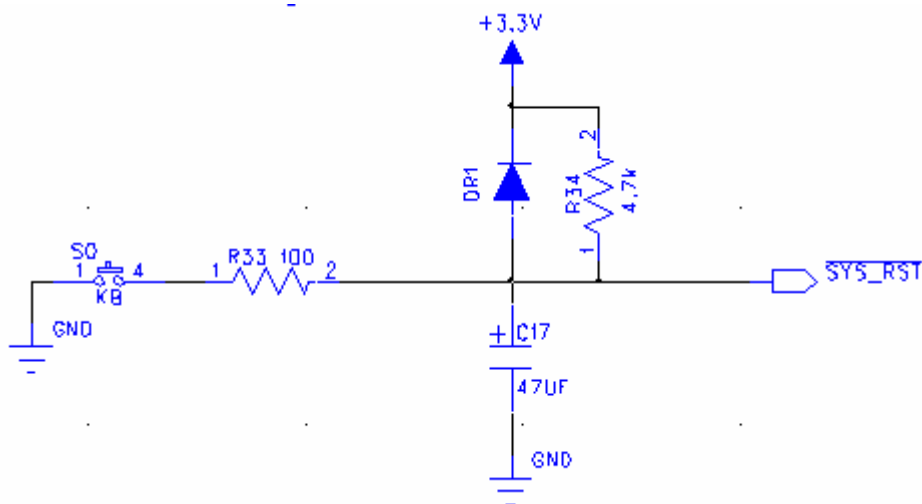
- 说明

复位路采用了阻容复位。一般情况下，采用阻容复位就可以满足要求了。

- 管脚映射

地址信号

器件	信号名称	FPGA 对应管脚号
复位电路	/SYS_RST	Pin 180



附录 A: 原理图

参见 RTX_SP3S400_SCH.pdf