

RCA-CY1C 系列开发板

用户手册 Ver 1.0

修订历史

版本	修订人	修订日期	修订内容
1.0	Tomyaoyuan	2005 年 3 月 20 日	初始版本

目录

前言：关于用户手册的说明	4
1. 简介	4
1.1. 主要的器件和特性	4
1.2. 支持的功能扩展板	5
2. LED, 拨码开关和按键	5
2.1. 四个发光二极管 (LED)	5
2.2. 两位拨码开关和两个功能按键	6
3. RS-232 串口	6
4. PS/2 鼠标、键盘接口	7
5. VGA 接口	8
6. USB1.1 接口	8
7. LCD 接口	8
8. 高速, 异步 SRAM	9
9. 高速, 同步 SDRAM	11
10. 大容量, 快速 FLASH	13
11. USB2.0 芯片接口	15
12. 编程和调试接口	16
13. 时钟源	16
14. 电源方案	17
15. 复位电路	18
16. 扩展板接口	19
17. EP1C6 和 EP1C12 的区别	23
附录 A: 原理图	24

前言：关于用户手册的说明

本手册中描述了 RCA-CY1C 系列开发板的设计原理和使用方法，作为开发板的配套材料。

1. 简介

这套开发板主要是面向 FPGA 的设计人员，或者对 FPGA 开发感兴趣的爱好者。所以，设计本着简单实用，扩展性好的原则，特别适合个人学习。也可以作为产品开发的原型验证板或者 IC 前端设计验证板。我们也希望大家在这套板上开发出有创意的产品。

同时，这套开发板也提供了一个 SOPC (System On Programming Chip) 平台，可以实现嵌入式的软 CPU，如 NIOSII，Open RISC 等，为嵌入式电子产品设计提供了又一种选择。

1.1. 主要的器件和特性

- **15 万门（可升级为 30 万门） Altera Cyclone 系列 FPGA**
采用 PQ240 表贴封装（EP1C6Q240C8 或者 EP1C12Q240C8）。

芯片特性	EP1C6Q240C8	EP1C12Q240C8
LEs	5,980	12,060
M4K RAM BLOCK(128×36BIT)	20	52
TOTAL RAM BITs	92,160	239,616
PLLs	2	2
Maximum User I/Os pins	185	173

注：EP1C6Q240C8 的 12 个用户 IO 在 EP1C12Q240C8 中被作为电源和地管脚。

- **支持 EPCS1 和 EPCS4**
其中 EPCS1 可以配置 EP1C6,EPCS4 可以配置 EP1C12。
- **512K Byte 高速，异步 SRAM**
一片 256K×16Bit 的 ASRAM，独立的字节使能信号
- **8M Byte 高速 SDARM**
一片 2M×32Bit SDRAM，最高 166MHz 读写速度；
- **2M Byte 快速 FLASH**
一片 2M×8Bit 或者 1M×16Bit Flash 读写速度为 90ns；
灵活的页面方式，可以用来存储 FPGA 配置文件或者操作系统镜像文件；
- **9 针 RS-232 串口**
实现与计算机的数据通讯；
辅助调试，结果输出；
- **8 色的 VGA 接口**

直接 VGA 显示器对接，实现 8 种演示的显示；

用于验证 VGA 时序；

- **PS/2 鼠标，键盘接口**

标准的鼠标、键盘接口，支持 3.3V 和 5V 设备，可以用来验证 PS/2 的接口协议，实现一个 IO 设备扩展；

- **USB2.0 高速数据接口**

采用了应用广泛，性能稳定的 Cypress 公司 CY68013 芯片实现了 USB 接口的扩展，能够与计算机之间实现高速的数据传递；

- **USB1.1 实验接口**

直接扩展 FPGA 的 IO 到 USB 接口，用于评估 FPGA 上实现 USB PHY 的性能；

- **LCD 接口**

标准的字符型液晶模块接口；

- **功能扩展接口**

通过相应的扩展板，可以实现 Video，Audio 和 Wireless 等应用。用户也可以开发自己定义的接口板。

1.2. 支持的功能扩展板

- **音视频采集板（RCE-AV）**

包括一个 Video Decoder（SAA7114），音频的 Codec TL320AIC23 来完成音视频的采集。

- **网络接口扩展板（RCE-NET）**

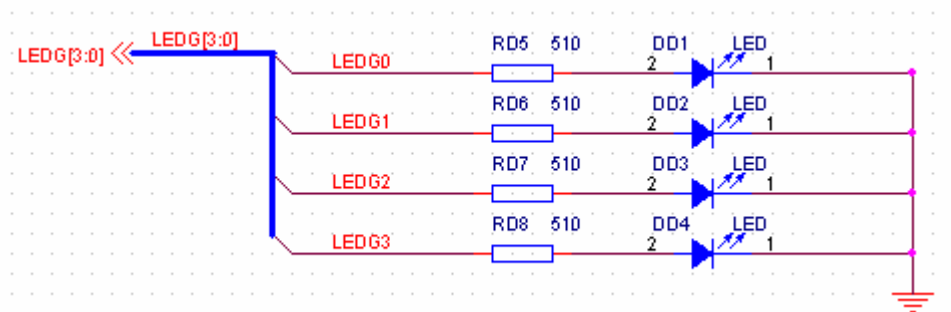
通过扩展总线实现一个 10M/100M 的 PHY/MAC，实现以太网通信实验；也可以单独评估 MAC 的性能。

2. LED，拨码开关和按键

用于辅助调试，直观显示运行结果。由于芯片管脚和电路板面积限制，每种器件数目都不多，主要是起到示例作用。如果需要更多的单元，请参考基础试验板（RCP-MX3218）的用户手册。

2.1. 四个发光二极管（LED）

- **电路连接**



- 管脚映射

器件	信号名称	FPGA 对应管脚号
D0	LEDG0	Pin 7
D1	LEDG1	Pin 8
D2	LEDG2	Pin 11
D3	LEDG3	Pin 12

2.2. 两位拨码开关和两个功能按键

- 电路连接

拨码开关：默认状态是高电平（1），当开关打开（ON），变成低电平（0）；

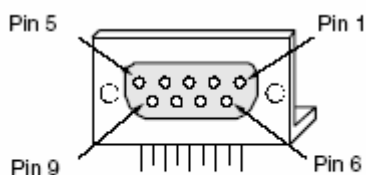
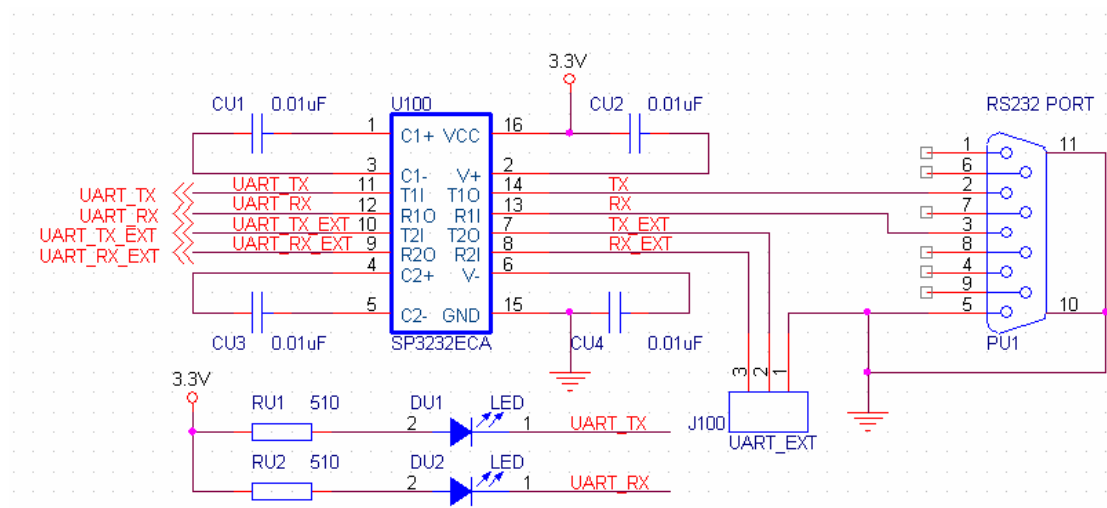
功能按键：默认状态是高电平（1），当按下按键，变成低电平（0）；

- 管脚映射

器件	信号名称	FPGA 对应管脚号
PD0	PB0	Pin 15
PD1	PB1	Pin 16
SW1-1	SW0	Pin 13
SW1-2	SW1	Pin 14

3. RS-232 串口

- 电路连接



DB9 Serial Port Connector
(front view)

● 说明

基本的 RS-232 接口需要两个信号 UART_TX, UART_RX 和 GND。为了满足用户特殊需要, 板子增加了一个辅助串口 (UART_TX_EXT, UART_RX_EXT), 如果需要两个串口同时工作, 可以把 J100 的信号之间连接到计算机的串口。

J100 的管脚定义: 1-GND; 2-TX_EXT; 3-RX_EXT;

● 管脚映射

器件	信号名称	FPGA 对应管脚号
U100-11	UART_TX	Pin 236
U100-12	UART_RX	Pin 237
U100-10	UART_TX_EXT	Pin 238
U100-9	UART_RX_EXT	Pin 239

4. PS/2 鼠标、键盘接口

● 说明

● 管脚映射

器件	信号名称	FPGA 对应管脚号
JPS2-5	PS2_CLK	Pin 240
JPS2-1	PS2_DATA	Pin 1

5. VGA 接口

- 说明
- 管脚映射

器件	信号名称	FPGA 对应管脚号
PV1-1	VGA_R	Pin 160
PV1-2	VGA_G	Pin 159
PV1-3	VGA_B	Pin 158
PV1-13	VGA_HS	Pin 156
PV1-14	VGA_VS	Pin 141

6. USB1.1 接口

- 说明
- 管脚映射

器件	信号名称	FPGA 对应管脚号
JB1-3	USB_D+	Pin 5
JB1-2	USB_D-	Pin 6

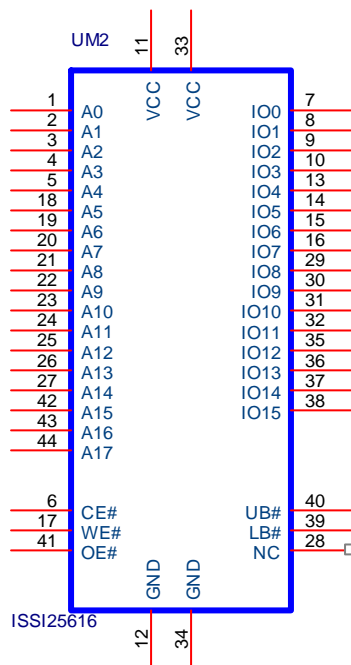
7. LCD 接口

- 说明
- 管脚映射

器件	信号名称	FPGA 对应管脚号
J1-4	LCD_RS	Pin 2
J1-5	LCD_RW	Pin 3
J1-6	LCD_E	Pin 4
J1-7	LCD_D0	Pin 17
J1-8	LCD_D1	Pin 18
J1-9	LCD_D2	Pin 19
J1-10	LCD_D3	Pin 20
J1-11	LCD_D4	Pin 21
J1-12	LCD_D5	Pin 23
J1-13	LCD_D6	Pin 41
J1-14	LCD_D7	Pin 42

8. 高速，异步 SRAM

- 原理框图



- 说明

采用 ISSI 公司的高速异步 SRAM，容量为 256K×16Bit。字节使能信号独立，可以对每一个 Byte 操作。

- 管脚连接

地址信号

SRAM 管脚名称	FPGA 对应管脚号	外部总线信号名称
A0	PIN_135	EA1
A1	PIN_128	EA2
A2	PIN_127	EA3
A3	PIN_126	EA4
A4	PIN_125	EA5
A5	PIN_124	EA6
A6	PIN_98	EA7
A7	PIN_95	EA8
A8	PIN_94	EA9
A9	PIN_93	EA10
A10	PIN_88	EA11
A11	PIN_106	EA12
A12	PIN_107	EA13

A13	PIN_108	EA14
A14	PIN_114	EA15
A15	PIN_113	EA16
A16	PIN_132	EA17
A17	PIN_133	EA18

数据信号

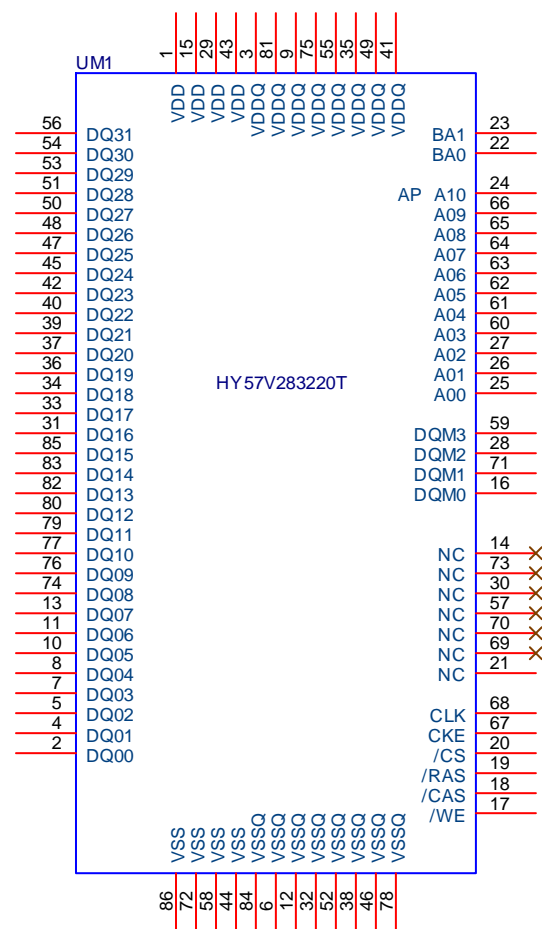
SRAM 信号名称	FPGA 对应管脚号	外部总线信号名称
sram_db[0]	PIN_122	ED0
sram_db[1]	PIN_121	ED1
sram_db[2]	PIN_120	ED2
sram_db[3]	PIN_119	ED3
sram_db[4]	PIN_105	ED4
sram_db[5]	PIN_104	ED5
sram_db[6]	PIN_101	ED6
sram_db[7]	PIN_100	ED7
sram_db[8]	PIN_78	ED8
sram_db[9]	PIN_79	ED9
sram_db[10]	PIN_82	ED10
sram_db[11]	PIN_83	ED11
sram_db[12]	PIN_84	ED12
sram_db[13]	PIN_85	ED13
sram_db[14]	PIN_86	ED14
sram_db[15]	PIN_87	ED15

控制信号

SRAM 信号名称	FPGA 对应管脚号
CE#	PIN_123
OE#	PIN_118
WE#	PIN_99
BE0	PIN_116
BE1	PIN_117

9. 高速，同步 SDRAM

● 原理图



● 管脚映射

地址信号

信号名称	FPGA 对应管脚号
sa[0]	PIN_194
sa[1]	PIN_195
sa[2]	PIN_196
sa[3]	PIN_222
sa[4]	PIN_219
sa[5]	PIN_218
sa[6]	PIN_217
sa[7]	PIN_216
sa[8]	PIN_215
sa[9]	PIN_214
sa[10]	PIN_193

ba[0]	PIN_187
ba[1]	PIN_188

数据信号

信号名称	FPGA 对应管脚号
dq[0]	PIN_180
dq[1]	PIN_179
dq[2]	PIN_178
dq[3]	PIN_177
dq[4]	PIN_176
dq[5]	PIN_175
dq[6]	PIN_174
dq[7]	PIN_173
dq[8]	PIN_168
dq[9]	PIN_167
dq[10]	PIN_166
dq[11]	PIN_165
dq[12]	PIN_164
dq[13]	PIN_163
dq[14]	PIN_162
dq[15]	PIN_161
dq[16]	PIN_200
dq[17]	PIN_201
dq[18]	PIN_202
dq[19]	PIN_203
dq[20]	PIN_206
dq[21]	PIN_207
dq[22]	PIN_208
dq[23]	PIN_213
dq[24]	PIN_235
dq[25]	PIN_234
dq[26]	PIN_233
dq[27]	PIN_228
dq[28]	PIN_227
dq[29]	PIN_226
dq[30]	PIN_225
dq[31]	PIN_224

控制信号

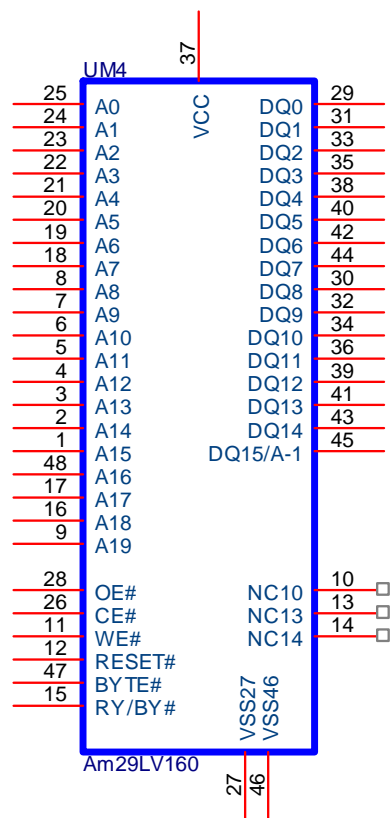
信号名称	FPGA 对应管脚号
SDCAS	PIN_183
SDCKE	PIN_170
SDCS	PIN_185
SDRAS	PIN_184
SDWE	PIN_182
SDDQM[0]	PIN_181
SDDQM[1]	PIN_169
SDDQM[2]	PIN_197
SDDQM[3]	PIN_223

● 说明

SDRAM 采用的是目前应用比较多的 $2M \times 32\text{Bit}$ 。其中，管脚 Pin21 是为了扩展 $4M \times 32\text{Bit}$ ，的需要才引到 FPGA 上，对应的是 A11。如果使用的是 $2M \times 32\text{Bit}$ ，那么 Pin21 为 NC。

10. 大容量，快速 Flash

● 原理图



● 管脚映射

地址信号

Flash 芯片管脚名称	FPGA 对应管脚号	外部总线信号名称
A0	PIN_135	EA1
A1	PIN_128	EA2
A2	PIN_127	EA3
A3	PIN_126	EA4
A4	PIN_125	EA5
A5	PIN_124	EA6
A6	PIN_98	EA7
A7	PIN_95	EA8
A8	PIN_94	EA9
A9	PIN_93	EA10
A10	PIN_88	EA11
A11	PIN_106	EA12
A12	PIN_107	EA13
A13	PIN_108	EA14
A14	PIN_114	EA15
A15	PIN_113	EA16
A16	PIN_132	EA17
A17	PIN_133	EA18
A18	PIN_134	EA19
A19	PIN_115	EA20

数据信号

Flash 芯片管脚名称	FPGA 对应管脚号	外部总线信号名称
DQ0	PIN_122	ED0
DQ1	PIN_121	ED1
DQ2	PIN_120	ED2
DQ3	PIN_119	ED3
DQ4	PIN_105	ED4
DQ5	PIN_104	ED5
DQ6	PIN_101	ED6
DQ7	PIN_100	ED7
DQ8	PIN_78	ED8
DQ9	PIN_79	ED9
DQ10	PIN_82	ED10

DQ11	PIN_83	ED11
DQ12	PIN_84	ED12
DQ13	PIN_85	ED13
DQ14	PIN_86	ED14
DQ15/A-1	PIN_87	ED15

控制信号

Flash 芯片管脚名称	FPGA 对应管脚号
CE#	PIN_138
OE#	PIN_139
WE#	PIN_137
RY_BY#	PIN_136

11. USB2.0 芯片接口

- 说明
- 管脚映射

数据信号

CY7C18013 管脚名称	信号名称	FPGA 对应管脚号
PB/FD0	UD0	PIN_58
PB/FD1	UD1	PIN_59
PB/FD2	UD2	PIN_60
PB/FD3	UD3	PIN_61
PB/FD4	UD4	PIN_62
PB/FD5	UD5	PIN_63
PB/FD6	UD6	PIN_64
PB/FD7	UD7	PIN_65
PB/FD8	UD8	PIN_66
PB/FD9	UD9	PIN_67
PB/FD10	UD10	PIN_68
PB/FD11	UD11	PIN_73
PB/FD12	UD12	PIN_74
PB/FD13	UD13	PIN_75
PB/FD14	UD14	PIN_76
PB/FD15	UD15	PIN_77

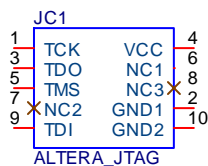
控制信号

CY7C18013 管脚名称	FPGA 对应管脚号
RDY0/SLRD#	PIN_57
RDY1/SLWR#	PIN_56
CTL0/FLAGA#	PIN_55
CTL1/FLAGB#	PIN_54
CTL2/FLAGC#	PIN_53
PKTEND#	PIN_46
INT0#	PIN_47
FLAGD#	PIN_48
SLOE	PIN_49
IFCLK	PIN_50

说明：红色的信号是与 GPIO11~GPIO15 复用的。

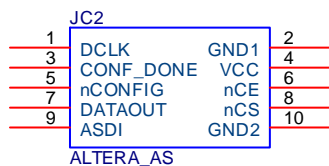
12. 编程和调试接口

● JTAG 接口



JTAG 接口可以用来调试 FPGA，下载速度比较快，而且支持 SignalTAP。但是不能用来编程 EPCS 芯片。建议调试阶段采用 JTAG 模式。电缆可以采用 ByteBlaster (MV) 也可以用 ByteBlaster II。

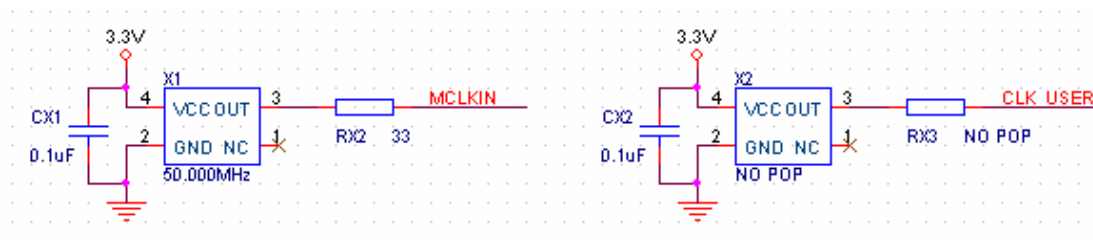
● AS 接口



AS 接口主要是用来编程 EPCS 芯片，同时也可以用来调试。具体过程是首先编程 EPCS，然后通过 EPCS 配置 FPGA，运行程序。需要考虑的是 EPCS 的编程次数是有限制的，虽然比 EPC 系列要多，但是太频繁的擦除和写入对芯片还是有一定影响的。所以，我们建议在调试结束后，程序固化的时候才使用 AS 方式。如果采用这种方式，必须采用 ByteBlasterII 电缆才行。

13. 时钟源

- 板上对应位置
- 原理图

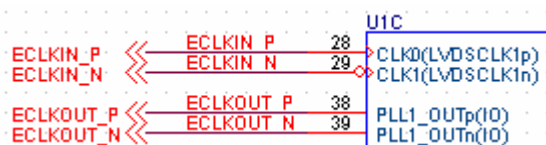


● 3FPGA 管脚映射

时钟源	FPGA 对应管脚
50. 000MHz	Pin 153
用户可选时钟	Pin 152

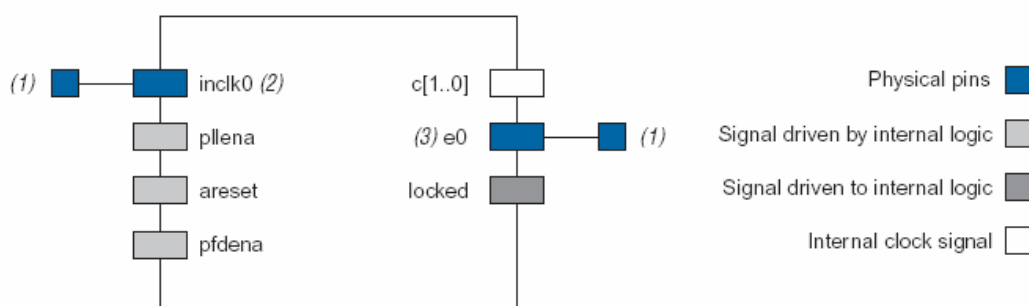
● 说明

FPGA 内部有 PLL，可以把 50MHz 的时钟产生各种所需要频率。如果需要特殊频率无法通过 50MHz 来合成，可以利用板上的用户可选时钟源作为输入（焊接上所需要的晶振即可）。此外，另外一个 PLL 对于的时钟管脚接到了扩展用户 IO 连接器上，允许扩展板的时钟作为输入，如图所示。



● SDRAM 的时钟产生

由于 SDRAM 的信号都工作在 100MHz 或者更高，所以稳定的时钟很重要。FPGA 的 PLL 可以实现时钟的倍频，分频，同步和补偿功能。典型接口如下所示：

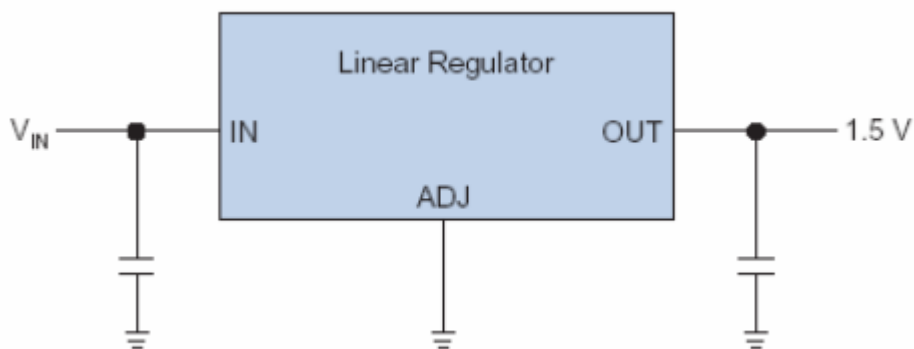


PLL1: 用于产生 SDRAM 的时钟 100MHz。外部输入为 50MHz,由 PLL1 产生可调时钟。

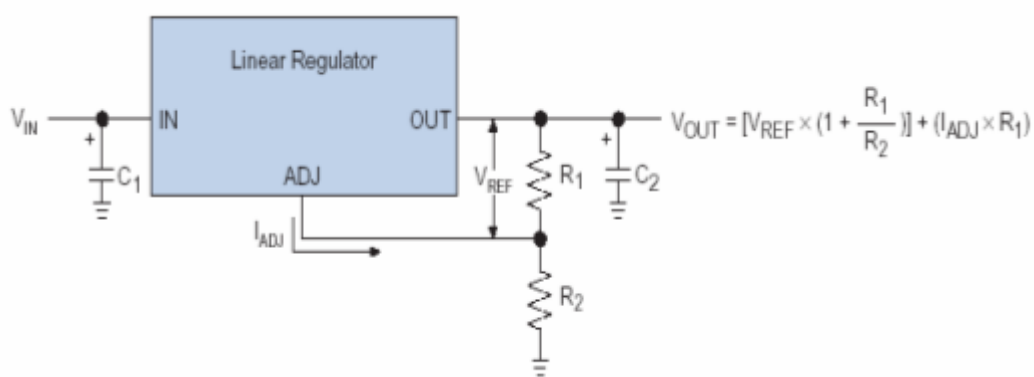
PLL0: 为扩展用户 IO 提供时钟的调节。

14. 电源方案

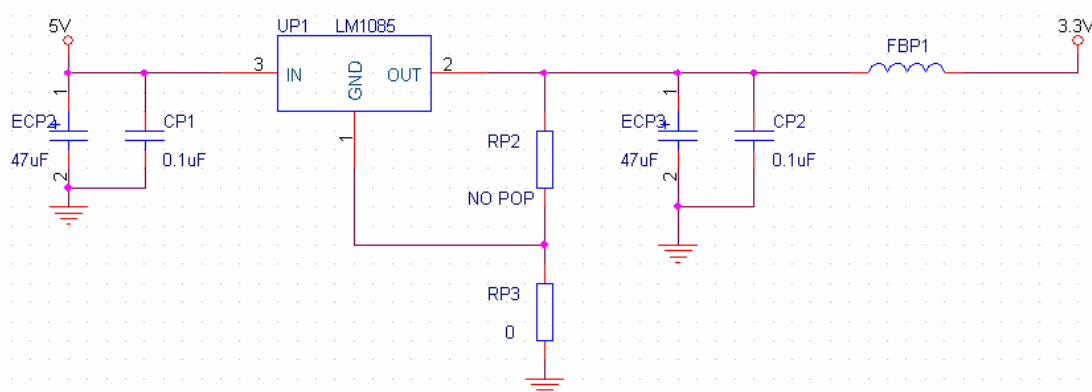
采用线性电源模块(LDO)优点是电路简单,但是散热是问题,适合的芯片为 LT1085/6,保证最大输出电流大于 2A 即可。



如果采用固定输出电压芯片，那么选择的范围就缩小了，只有 LT1085 等个别芯片提供 1.5V 的输出，大部分电源芯片的固定输出是 1.8V、2.5V 和 3.3V，但是都具有可调电压的型号。电路连接如下：



V_{REF} 一般是 1.25V， $I_{adj} \times R1$ 可以忽略。假定输入 V_{in} 为 5V， V_{out} 为 1.5V，那么 $R1/R2=1/5$ ，而 $R1$ 一般要求 100~150 欧，那么可以选 $R1=100$ 欧， $R2=500$ 欧。如果采用了固定电平输出的芯片，只需要把 $R2$ 焊 0 欧， $R1$ 不焊即可。板上的电源部分采用了这种方式：



15. 复位电路

● 说明

复位路采用了阻容复位。一般情况下，采用阻容复位就可以满足要求了。

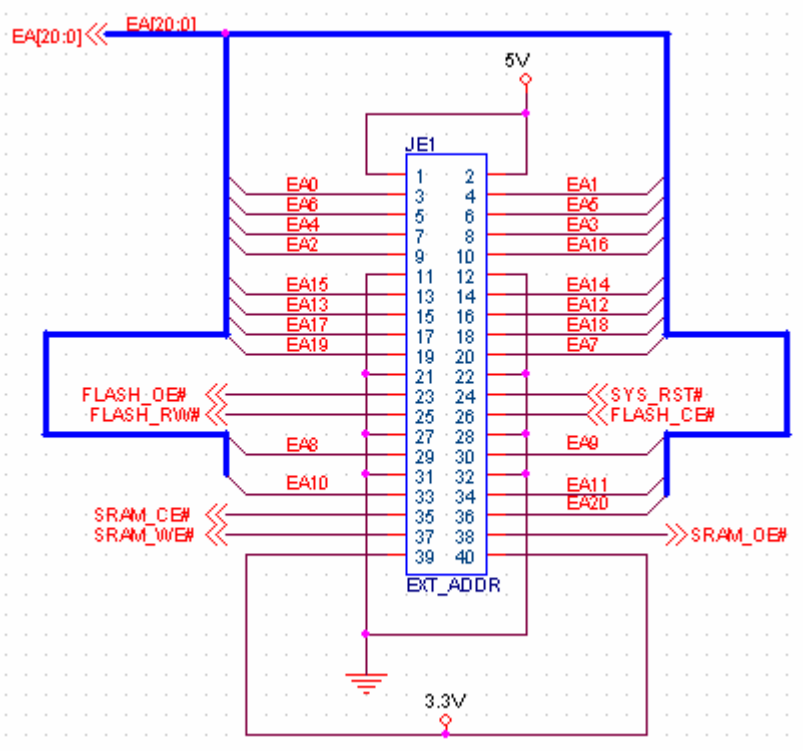
- 管脚映射

地址信号

器件	信号名称	FPGA 对应管脚号
UR1-7	SYS_RST#	Pin 131

16. 扩展板接口

- 扩展地址总线

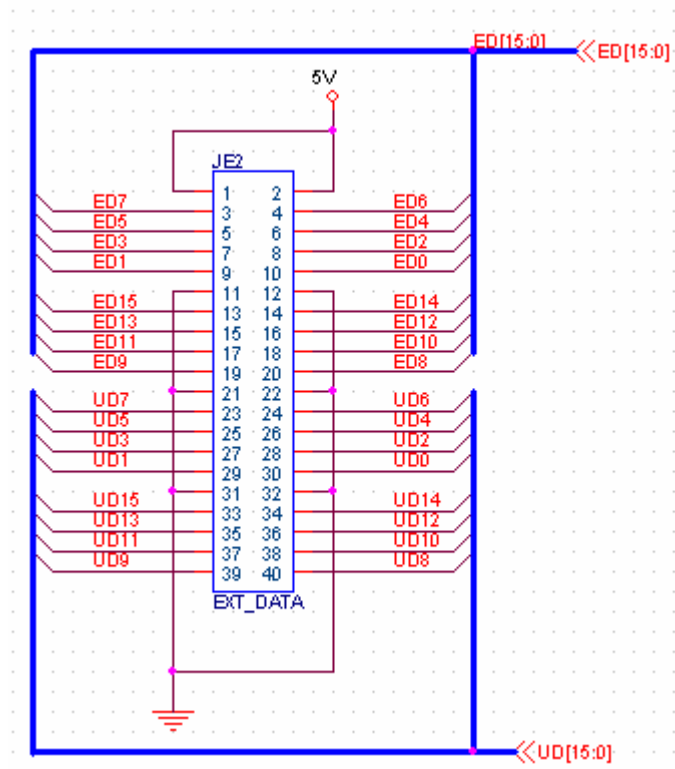


管脚映射

外部总线信号名称	FPGA 对应管脚号
EA0	PIN_140
EA1	PIN_135
EA2	PIN_128
EA3	PIN_127
EA4	PIN_126
EA5	PIN_125
EA6	PIN_124
EA7	PIN_98
EA8	PIN_95
EA9	PIN_94

EA10	PIN_93
EA11	PIN_88
EA12	PIN_106
EA13	PIN_107
EA14	PIN_108
EA15	PIN_114
EA16	PIN_113
EA17	PIN_132
EA18	PIN_133
EA19	PIN_134
EA20	PIN_115
FLASH_RW#	PIN_137
FLASH_CE#	PIN_138
FLASH_OE#	PIN_139
SYS_RST#	PIN_131
SRAM_CE#	PIN_123
SRAM_WE#	PIN_99
SRAM_OE#	PIN_118

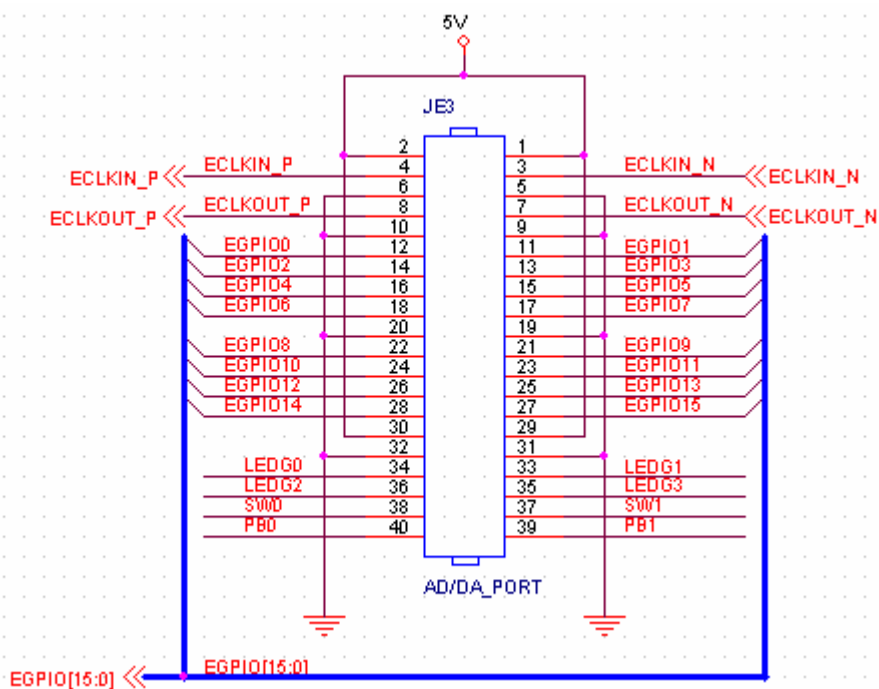
- 扩展数据总线



管脚映射

外部总线信号名称	FPGA 对应管脚号
ED0	PIN_122
ED1	PIN_121
ED2	PIN_120
ED3	PIN_119
ED4	PIN_105
ED5	PIN_104
ED6	PIN_101
ED7	PIN_100
ED8	PIN_78
ED9	PIN_79
ED10	PIN_82
ED11	PIN_83
ED12	PIN_84
ED13	PIN_85
ED14	PIN_86
ED15	PIN_87
UD0	PIN_58
UD1	PIN_59
UD2	PIN_60
UD3	PIN_61
UD4	PIN_62
UD5	PIN_63
UD6	PIN_64
UD7	PIN_65
UD8	PIN_66
UD9	PIN_67
UD10	PIN_68
UD11	PIN_73
UD12	PIN_74
UD13	PIN_75
UD14	PIN_76
UD15	PIN_77

- 扩展用户 IO



管脚映射

外部总线信号名称	FPGA 对应管脚号
ECLKIN_P	PIN_28
ECLKIN_N	PIN_29
ECLKOUT_P	PIN_38
ECLKOUT_N	PIN_39
EGPI00	PIN_17
EGPI01	PIN_18
EGPI02	PIN_19
EGPI03	PIN_20
EGPI04	PIN_21
EGPI05	PIN_23
EGPI06	PIN_41
EGPI07	PIN_42
EGPI08	PIN_43
EGPI09	PIN_44
EGPI10	PIN_45
EGPI11	PIN_46
EGPI12	PIN_47
EGPI13	PIN_48
EGPI13	PIN_49
EGPI15	PIN_50

LEDG0	Pin 7
LEDG1	Pin 8
LEDG2	Pin 11
LEDG3	Pin 12
PB0	Pin 15
PB1	Pin 16
SW0	Pin 13
SW1	Pin 14

- 说明

扩展总线主要为了在扩展板上实现对各种接口芯片的操作,对于一些特殊的非总线方式的接口芯片,如 ADC/DAC,可以采用扩展用户 IO 来实现。JE3 提供了差分时钟的输入输出管脚。

17. EP1C6 和 EP1C12 的区别

EP1C12与EP1C6的管脚区别:

EP1C12	EP1C6
VCCINT81	IO
VCCINT97	IO
VCCINT103	IO
VCCINT198	IO
VCCINT204	IO
VCCINT220	IO
GND80	IO
GND96	IO
GND102	IO
GND199	IO
GND205	IO
GND221	IO

如果采用EP1C6芯片,以上管脚应该全部置为输入。

或者将所有不用的 IO 置为输入状态。

附录 A: 原理图

参见 RCA_CY1C_SCH.pdf